

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-124266

(43)Date of publication of application : 23.07.1983

(51)Int.Cl.

H01L 27/04

G11C 17/00

G11C 29/00

H01L 21/82

(21)Application number : 57-008151

(71)Applicant : NEC CORP

(22)Date of filing : 21.01.1982

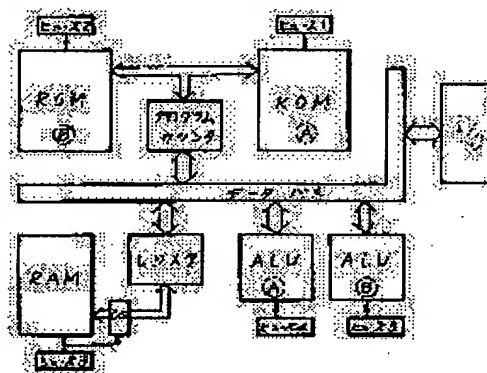
(72)Inventor : TAKEGAWA TOJIRO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

## (57)Abstract:

**PURPOSE:** To make it possible to utilize the circuit even though it has defects without discarding it, by preparing a plurality of circuit blocks with the same function comprising high density active element regions which tend to include serious defects, wiring the selected good circuit so as to contribute the operation, thereby improving the circuit design and the yield rate.

**CONSTITUTION:** In a microcomputer chip in an example in the figure, two ROMs and two ALUs having the same functions, respectively, are prepared. In this constitution, e.g. in the ROMs (A) and (B), the probability of the even either of (A) or (B) does not have the defect is twice the probability of the event the ROM (A) does not have the defect. Then a plurality of the blocks (e.g. two), which are formed by the high density active elements and have a small occupying area, and whose probability of the event of including the defect is low, are intentionally prepared. A selecting circuit (e.g. a fuse circuit wherein polysilicon is used) is provided for each block. The characteristics of the blocks are checked by the selecting circuits, and the block which does not have the defect is selected. Then the yield rate is improved by twice or more by only increasing a pellet area by 1.5 times.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑬ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—124266

⑪ Int. Cl.<sup>3</sup>  
H 01 L 27/04  
G 11 C 17/00  
29/00  
H 01 L 21/82

識別記号

庁内整理番号  
8122—5F  
6549—5B  
7922—5B  
6655—5F

⑬ 公開 昭和58年(1983)7月23日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑭ 半導体集積回路

⑯ 特 願 昭57—8151  
⑰ 出 願 昭57(1982)1月21日  
⑱ 発 明 者 武川藤次郎

東京都港区芝五丁目33番1号日  
本電気株式会社内  
⑲ 出 願 人 日本電気株式会社  
東京都港区芝5丁目33番1号  
⑳ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

同一基板上に同一機能をもった回路ブロックを複数個有し、このうち欠陥の無い方の回路ブロックを選択する手段を備えたことを特徴とする半導体集積回路。

3. 発明の詳細な説明

本発明は半導体集積回路に関し、特にチップ上に於いてある機能を有する回路ブロックを配線で接続して構成した集積回路に関する。

従来、かかる集積回路の代表として第1図にブロック図を示すマイクロ・コンピュータがある。このマイクロ・コンピュータは、プログラムメモリとしてのROM1と、そのアドレス指定回路としてのプログラム・カウンタ2、データメモリとし

てのROM3とレジスタ4やALU5、I/O6等がデータ・バス7を介して接続されている。このうち、能動素子で構成されるROM、RAM、ALU、I/O、プログラム・カウンタおよびレジスタ等の配線領域と能動素子を含まないデータ・バス等の配線領域とを比較すると、配線領域の占有面積がペレット面積の半分以上を占めるという特徴がある。又、マイクロ・コンピュータを構成する各ブロックが欠陥を含まない確率は集積密度の関数となり、同一面積で比較すると

$P(\text{ROM, RAM}) < P(\text{ランダム回路}) < P(\text{配線})$ となる。ここでランダム回路にはALU、I/O、プログラム・カウンタ、レジスタ等を含めている。一般にブロックが致命的な欠陥を含まない確率は  $P(NA) = e^{-NA}$  で表わされる。

ここで、Nは単位面積当りの致命的な欠陥の数であり、Aはブロックの占有面積である。

第2図にマイクロ・コンピュータを構成するブロックの欠陥を含まない確率を求めた。マイクロコンピュータが欠陥を含まない確率  $P(\text{ROM} \cap$

RAM (ランダム配線) は各ブロックの占有面積が大きければ極めて小さく、良品はほとんどとれない。そこで欠陥を含まない確率を高める必要が生じる。

一般にLSIやVLSIでは配線領域の占有面積が大部分であり、能動素子で構成されるブロックの占有面積は小さい。さらにROM、RAM等の高密度のブロックとランダム回路の様に密度の低いブロックでは単位面積当りの致命的欠陥数も違っており、ROM、RAMの方が欠陥密度が極めて高い。このようにベレット面積は配線領域が支配的であるため、チップ自体が歩留りよく製造できるか否かはROM、RAMおよびランダム回路の一部で決まる事になる。

このような観点に立脚して従来の集積回路をみると、チップ上に形成される各回路ブロックは必要最小限、即ち各1個ずつしか設けられていない。これは半導体技術の進歩に伴ってパターンの微細化が可能となり、1チップ上にできる限り多種類の回路や大容量のメモリを設けて機能拡大を計る

- 3 -

事の2倍以上となる。従って、高密度能動素子で形成され、占有面積が小さく、欠陥を含まない確率が低いブロックを、敢えて複数個(例えば2個)用意し、各ブロックに対してその選択回路(例えばポリシリコンを用いたヒューズ回路)を設け、これを用いて特性検査後欠陥のないブロックを選ぶようにすれば、第2図に示す例では、ベレット面積を1.5倍にするだけで歩留りを2倍以上にする事ができる。

第4図にポリシリコンヒューズを用いてROMをデータバスから切り離す回路例を示す。ここでROM④に欠陥がある場合、電源端子 $V_D$ と書き込み端子 $W$ の間に15V程度の電圧を印加し、ポリシリコンヒューズ8に数十mAの電流を流してこれを切断する。このようにして書き込み端子に接続していた電源を切り離した後、電源端子 $V_D$ に外部電源を接続すると、書き込み端子 $W$ は接地電位となり、ROMへの電源供給スイッチ $P_1$ は非導通となる。又、 $P_2, P_3, n_2, n_3$ から構成されるROMデータバス出力バッファは非導通とな

- 5 -

## 特開昭58-124266(2)

ことに専念した結果といえる。このため、製造歩留りが悪く欠陥のある製品は廃棄処分とせざるを得なかった。

本発明の目的は回路設計に改良を加えて歩留りを改善し、かつ欠陥があっても廃棄することなく利用可能とした半導体集積回路を提供することを目的とする。

本発明は前記した観点に基づいて、致命的な欠陥を含みやすい高密度能動素子領域からなる同一機能の回路ブロックを複数個用意し、これらの特性検査を行なうことによって選ばれた良品回路ブロックを配線に接続して動作に寄与させるようにしたことを特徴とする。

以下に図面を参照して本発明の一実施例を説明する。第3図はその実施例のブロック図で、マイクロコンピュータチップを例にとったものである。ここでは同一機能をもったROMとALUとをそれぞれ2個用意している。こうすることによって、例えばROM④と⑤において、いずれか一方が欠陥を含まない確率は、ROM④が欠陥を含まない確

- 4 -

り、 $P_1, n_1, n_2$ から構成されるROM入力バッファも非導通となるので、ROM④を構成する要素は動作状態において電力を何等消費することなく、データバスより電氣的に切離す事ができる。

尚、この例で示したようにALUとROMとの両方に対して本発明を適用する以外、そのうちいずれか一方(望ましくはROM)のみに適用するようにしてもよい。又、ポリシリコンヒューズのかわりに、トランジスタスイッチやダイオードスイッチを用いてもよい。

以上はデータ・バスに各種機能ブロックが接続されているマイクロコンピュータを用いて説明したが、データ・バスが無い集積回路(特にVLSI)においても同一機能のブロックを2つ以上用意し、欠陥の無い機能ブロックを選び出す事によりVLSIの歩留りを向上できる。

## 4. 図面の簡単な説明

第1図はデータ・バスに各種機能ブロックを接続し構成した従来のマイクロ・コンピュータのブ

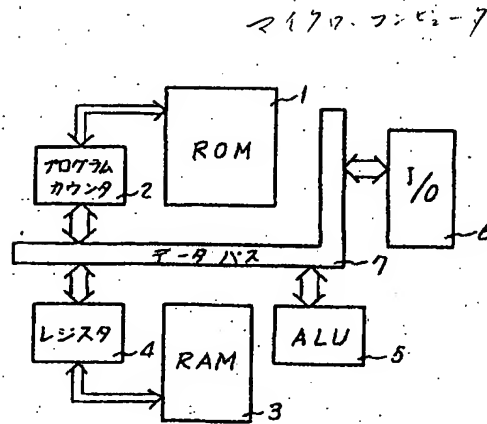
- 6 -

ブロック図、第2図は第1図に示した各種機能ブロックの占有面積と欠陥を含まない確率との特性図、第3図は欠陥を含まない確率が低い機能ブロックを同一ブロックで2つ以上用意し、ポリシリコンヒューズで欠陥の無い方を選ぶようにした、本発明の一実施例におけるVL8Iマイクロ・コンピュータのブロック図、第4図は本実施例のスイッチ部分の回路図である。

1……ROM、2……プログラムカウンタ、3……RAM、4……レジスタ、5……ALU、6……I/O、7……データバス、8……ポリシリコンヒューズ。

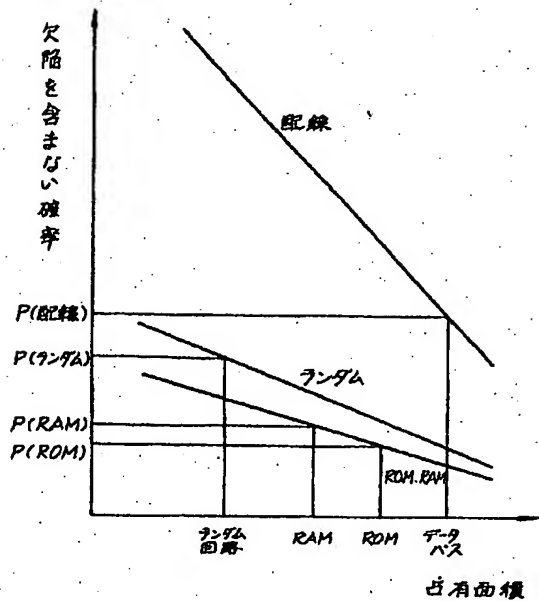
代理人 弁理士 内原 音

弁理士  
内原 音

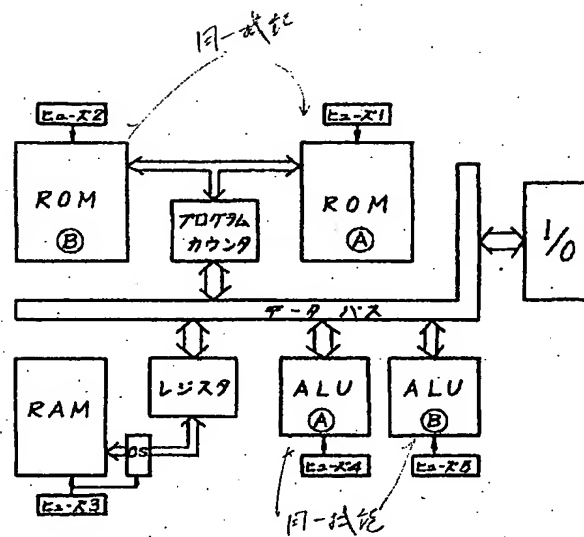


第 1 図

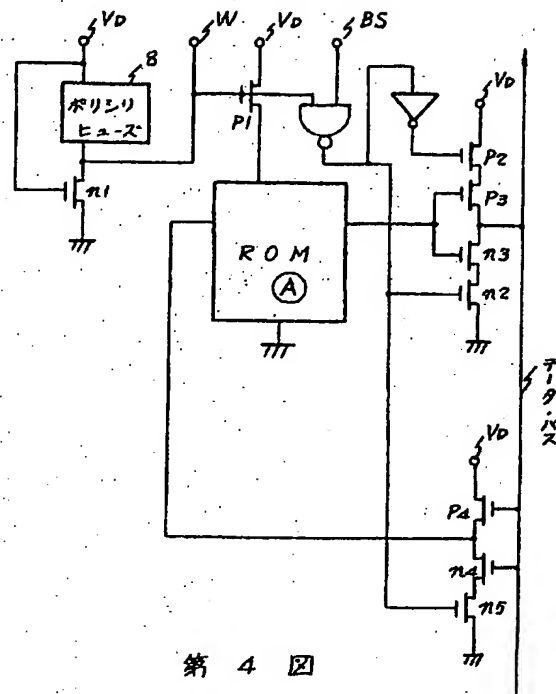
- 7 -



第 2 図



第 3 図



第 4 図